

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-175027

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 09-336769

(71)Applicant : HITACHI LTD
HITACHI VIDEO & INF SYST INC

(22)Date of filing : 08.12.1997

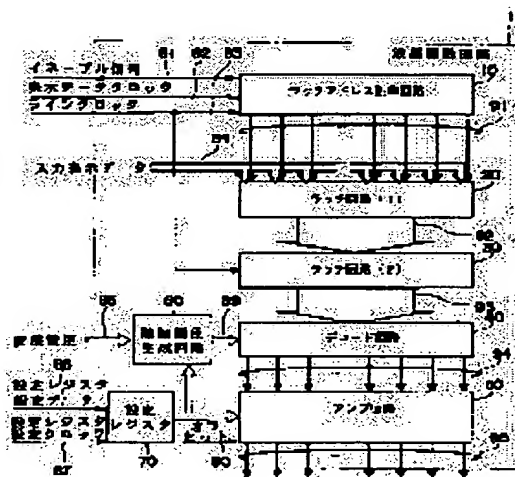
(72)Inventor : NITTA HIROYUKI
HIGA ATSUHIRO
FURUHASHI TSUTOMU
TSUNEKAWA SATORU
KURIHARA HIROSHI

(54) LIQUID CRYSTAL DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal driving circuit and a liquid crystal display device capable of adjusting change characteristics of display luminance and a color with respect to the value of display data to be inputted.

SOLUTION: Input display data 84 of one line period are fetched in a latch circuit (1) 20 by a latch signal 91 to be outputted by a latch address control circuit 10 and data 92 of the latch circuit (1) are fetched in a latch circuit (2) 30 in the timing of a line clock 83 and data 93 of the latch circuit (2) are inputted to a decode circuit 40. Then, liquid crystal impression voltages 95 are outputted by outputting selection voltages 94 from a decode circuit 40 while selecting gradation voltages 89 based on data for every pixel from the gradation voltages 89 generated based on a reference voltage 85 according to set data to be outputted by a set register 70 in which set register setting data 86 are set with a set register setting clock 87 and by buffering the selection voltages 94 in an amplifier circuit 50.



LEGAL STATUS

[Date of request for examination] 08.02.2001

[Date of sending the examiner's decision of rejection] 05.10.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 29.11.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-175027

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願平9-336769

(22) 出願日

平成9年(1997)12月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 比嘉 淳裕

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立画像情報システム内

(74) 代理人 弁理士 沼形 義彰

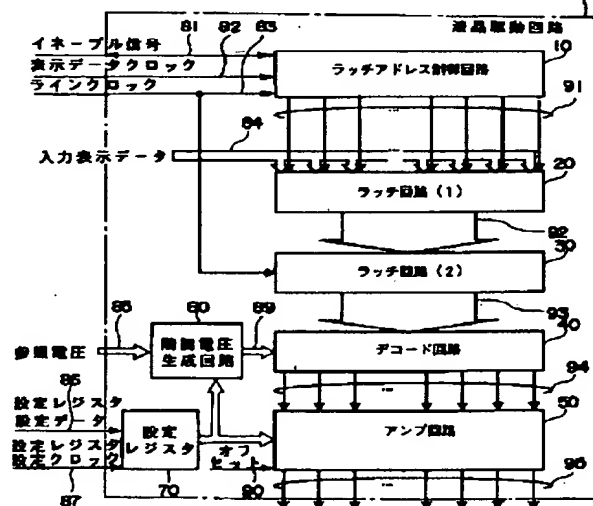
最終頁に続く

(54) 【発明の名称】 液晶駆動回路および液晶表示装置

(57) 【要約】

【課題】 入力される表示データの値に対する表示輝度や色の変化特性を調節可能な液晶駆動回路及び液晶表示装置を提供する。

【解決手段】 1ライン期間の入力表示データ84をラッチアドレス制御回路10が出力するラッチ信号91によりラッチ回路(1)20に取り込み、ラインクロック83のタイミングでラッチ回路(1)データ92をラッチ回路(2)30に取り込み、ラッチ回路(2)データ93をデコード回路40に入力し、設定レジスタ設定クロック87で設定レジスタ設定データ86を設定した設定レジスタ70が出力する設定データ88に従って、参照電圧85を基に生成した階調電圧89から、デコード回路40から各画素毎のデータに従った階調電圧89を選択して選択電圧94を出力し、アンプ回路50で選択電圧94をバッファリングし、液晶印加電圧95を出力する。



【特許請求の範囲】

【請求項1】 データラインと走査ラインを備えて液晶に電圧を印加する液晶パネルの該データラインを駆動する液晶駆動回路において、表示データを取り込むラッチ信号を順次生成するラッチアドレス制御回路と、上記表示データを上記ラッチ信号に従って出力データ線分取り込んで保持する第1の保持回路と、上記第1の保持回路が保持する表示データをさらに水平同期信号に従って出力データ線分同時に取り込んで保持する第2の保持回路と、

階調電圧値を操作する設定レジスタと、複数の異なる基準電圧を入力して上記設定レジスタで指定された階調電圧を生成する階調電圧生成回路と、上記第2の保持回路の保持する表示データに従って上記階調電圧を選択する階調電圧選択回路と、上記選択回路の選択した階調電圧を増幅して出力するアンプ回路とを有することを特徴とする液晶駆動回路。

【請求項2】 上記階調電圧生成回路は、上記設定レジスタの出力により抵抗値を設定可能な可変抵抗を複数有し、複数の液晶電源間を該可変抵抗により抵抗分割して階調電圧を生成することを特徴とする請求項1記載の液晶駆動回路。

【請求項3】 上記可変抵抗は、複数の抵抗と、該可変抵抗における各抵抗の抵抗成分を取り除くスイッチとを有することを特徴とする請求項2記載の液晶駆動回路。

【請求項4】 上記アンプ回路は演算増幅器を備え、該演算増幅器は上記設定レジスタの出力により抵抗値を設定可能な可変抵抗を1つあるいは複数備えて、増幅度を決定するものであることを特徴とする請求項1記載の液晶駆動回路。

【請求項5】 データラインと走査ラインを備えて液晶に電圧を印加する液晶パネルの該データラインを駆動する液晶駆動回路において、表示データを取り込むラッチ信号を順次生成するラッチアドレス制御回路と、上記表示データを上記ラッチ信号に従って出力データ線分取り込んで保持する第1の保持回路と、上記第1の保持回路が保持する表示データをさらに水平同期信号に従って出力データ線分同時に取り込んで保持する第2の保持回路と、

階調電圧値を操作する設定レジスタと、複数の異なる基準電圧を入力して上記設定レジスタで指定された階調電圧を生成する階調電圧生成回路と、上記第2の保持回路の保持する表示データに従って上記階調電圧を選択する階調電圧選択回路と、上記選択回路の選択した階調電圧をオフセット電圧によりシフトし、および上記設定レジスタにより指定された増幅度で増幅して出力するアンプ回路とを有することを特徴とする液晶駆動回路。

【請求項6】 上記アンプ回路の各演算増幅器の増幅度

を設定する上記設定レジスタはRおよびGおよびBの各色に1つずつ備え、各色毎に設定変更可能であることを特徴とする請求項5記載の液晶駆動回路。

【請求項7】 上記アンプ回路のオフセット電圧は、設定可能な可変抵抗を複数備えてオフセット基準電圧とコモン電圧とを該可変抵抗により抵抗分割して生成し電圧値が設定変更可能なことを特徴とする請求項5記載の液晶駆動回路。

【請求項8】 上記設定レジスタは、設定レジスタ設定データが入力され、設定データ設定クロックによって設定データを設定することを特徴とする請求項1ないし請求項7のいずれかに記載の液晶駆動回路。

【請求項9】 上記設定レジスタは、設定値データが入力され、ラッチアドレス制御回路からのラッチ信号と設定イネーブル信号の積からなるクロックによって設定データを生成する特徴とする請求項1ないし請求項7のいずれかに記載の液晶駆動回路。

【請求項10】 請求項1～請求項9のいずれかに記載の液晶駆動回路と、

データラインと走査ラインを備えて液晶に電圧を印加する液晶パネルと、該液晶パネルの走査ラインを駆動する走査ドライバと、上記液晶駆動回路の出力する階調電圧を設定し、上記液晶駆動回路および上記走査ドライバを制御する制御回路と、上記液晶駆動回路の参照電圧を生成する参照電圧生成回路とを有して入力表示データを変更可能な階調電圧に変換して液晶パネルに表示することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネルの表示階調を調整可能な液晶表示装置およびその液晶駆動回路に関する。

【従来の技術】

【0002】従来の液晶駆動回路は、表示データを入力し、階調電圧を生成して、与えられた表示データに対する階調電圧を選択して液晶パネルに出力していた。例えば64階調電圧を出力する液晶駆動回路では、外部より供給する9レベルの参照電圧の2レベル間を抵抗分割で8階調電圧を生成し、合計で64階調電圧を生成していた。生成した64階調電圧から各表示データに対応した階調電圧を選択して液晶パネルに出力していた。

【0003】このように階調電圧を外部より供給する参照電圧から生成して出力する液晶駆動回路として、例えば、1994 SID INTERNATIONAL SYMPOSIUM DIGEST of TECHNICAL PAPERS 23:2 (pp. 351-354)に記載されているものがある。この液晶駆動回路では、一般的に図4に示すような非線形な輝度対印加電

圧特性を持つ液晶パネルに対し、表示データに対する出力電圧がその特性と合うように参照電圧を調整して階調電圧を生成し出力していた。

【0004】

【発明が解決しようとする課題】しかし、上記従来技術では、分圧抵抗の抵抗値は固定であり、また2つの基準電圧値により生成される8つの階調電圧値は線形の関係にあり、その階調電圧値が1Vあるいは4V付近であるとき、得られる8つの輝度は、前記従来技術の図4に示されるように階調コードに対して透過率と同様に非線形

10

の関係にあった。したがって、各階調の表示輝度バランス（階調表示特性）を調整するためには参照電圧の調整だけでは不十分なものであった。このため、例えばデバイス固有の特性による階調表示特性の歪みを補正するガンマ補正や、ユーザの好みや表示対象の画像にあった階調表示特性、色合いを実現することが困難であった。

【0005】本発明の目的は、入力される表示データの

値に対する表示輝度や色の変化特性を調節可能な液晶駆動回路および液晶表示装置を提供するものである。

【0006】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち本発明は、第1の態様として、データラインと走査ラインを備えて液晶に電圧を印加する液晶パネルの該データラインを駆動する液晶駆動回路において、表示データを取り込むラッチ信号を順次生成するラッチアドレス制御回路と、上記表示データを上記ラッチ信号に従って出力データ線分取り込んで保持する第1の保持回路と、上記第1の保持回路が保持する表示データをさらに水平同期信号に従って出力データ線分同時に取り込んで保持する第2の保持回路と、階調電圧値を操作する設定レジスタと、複数の異なる基準電圧を入力して上記設定レジスタで指定された階調電圧を生成する階調電圧生成回路と、上記第2の保持回路の保持する表示データに従って上記階調電圧を選択する階調電圧選択回路と、上記選択回路の選択した階調電圧を増幅して出力するアンプ回路とを有することを特徴とする液晶駆動回路を提供する。

20

30

40

【0007】上記階調電圧生成回路は、上記設定レジスタにより抵抗値を設定可能な可変抵抗を複数有し、複数の液晶電源間を該可変抵抗により抵抗分割して階調電圧を生成ものであることが好ましい。

【0008】上記可変抵抗は、複数の抵抗と、該可変抵抗における各抵抗の抵抗成分を取り除くスイッチとを有するものであることが好ましい。

【0009】上記アンプ回路は演算増幅器を備え、該演算増幅器は上記設定レジスタにより抵抗値を設定可能な可変抵抗を1つあるいは複数備えて、増幅度を決定するものであることが好ましい。

【0010】また、本発明の第2の態様として、データ

50

ラインと走査ラインを備えて液晶に電圧を印加する液晶パネルの該データラインを駆動する液晶駆動回路において、表示データを取り込むラッチ信号を順次生成するラッチアドレス制御回路と、上記表示データを上記ラッチ信号に従って出力データ線分取り込んで保持する第1の保持回路と、上記第1の保持回路が保持する表示データをさらに水平同期信号に従って出力データ線分同時に取り込んで保持する第2の保持回路と、階調電圧値を操作する設定レジスタと、複数の異なる基準電圧を入力して上記設定レジスタで指定された階調電圧を生成する階調電圧生成回路と、上記第2の保持回路の保持する表示データに従って上記階調電圧を選択する階調電圧選択回路と、上記選択回路の選択した階調電圧をオフセット電圧によりシフトし、および上記設定レジスタにより指定された増幅度で増幅して出力するアンプ回路とを有することを特徴とする液晶駆動回路を提供する。

【0011】上記アンプ回路の各演算増幅器の増幅度を設定する上記設定レジスタはRおよびGおよびBの各色に1つずつ備え、各色毎に設定変更可能であることが好ましい。

【0012】上記アンプ回路の上記オフセット電圧は、設定可能な可変抵抗を複数備えてオフセット基準電圧とコモン電圧とを該可変抵抗により抵抗分割して生成し電圧値が設定変更可能なことが好ましい。

【0013】上記設定レジスタは、設定レジスタ設定データが入力され、設定データ設定クロックによって設定データを設定するか、設定値データが入力され、ラッチアドレス制御回路からのラッチ信号と設定イネーブル信号の積からなるクロックによって設定データを生成することが好ましい。

【0014】さらにまた、本発明の第3の態様として、上記液晶駆動回路と、データラインと走査ラインを備えて液晶に電圧を印加する液晶パネルと、該液晶パネルの走査ラインを駆動する走査ドライバと、上記液晶駆動回路の出力する階調電圧を設定し、上記液晶駆動回路および上記走査ドライバを制御する制御回路と、上記液晶駆動回路の参照電圧を生成する参照電圧生成回路とを有して入力表示データを変更可能な階調電圧に変換して液晶パネルに表示することを特徴とする液晶表示装置を提供する。

【0015】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。

（実施の形態1）本発明の液晶駆動回路に関して、第1の実施の形態を図1から図8までを用いて説明する。図1は、本発明の第1の実施の形態である液晶ドライバのブロック図を示す。図1において、液晶駆動回路1は、ラッチアドレス制御回路10と、ラッチ回路(1)20と、ラッチ回路(2)30と、デコード回路40と、アンプ回路50と、階調電圧生成回路60と、設定レジ

タ70とを有している。

【0016】ラッチアドレス制御回路10には、イネーブル信号81と、表示データクロック82と、ラインクロック83が入力され、ラッチ信号91を出力する。

【0017】ラッチ回路(1)20は、ラッチ信号91と、入力表示データ84が入力され、ラッチ回路(1)データ92を出力する働きを有する。

【0018】ラッチ回路(2)は、ラインクロック83と、ラッチ回路(1)データ92が入力され、ラッチ回路(2)データ93を出力する働きを有する。

【0019】設定レジスタ70は、設定レジスタ設定データ86と、設定レジスタ設定クロック87が入力され、設定データ88を出力する働きを有する。

【0020】階調電圧生成回路60は、参照電圧85と、設定データ88が入力され、階調電圧89を出力する働きを有する。

【0021】デコード回路40は、ラッチ回路(2)データ93と、階調電圧89が入力され、選択電圧94を出力する働きを有する。

【0022】アンプ回路50は、オフセット電圧90と、選択電圧94と、設定データ88が入力され、液晶印加電圧95を出力する働きを有する。

【0023】次に、図1のブロック図を用いて、本発明にかかる液晶駆動回路1の動作を説明する。まず始めに、データ取り込み動作について説明する。ラッチアドレス制御回路10は、入力するイネーブル信号81がアクティブになると、表示データクロック82から、ラッチ信号91を生成して、ラッチ回路(1)20へ出力する。ラッチ信号91は、入力表示データ84をラッチ回路(1)20に取り込む信号である。

【0024】ラッチ回路(1)20は、ラッチ信号91に従って、入力表示データ84を液晶印加電圧95の各出力に対応した内部のラッチに取り込む。

【0025】ラッチアドレス制御回路10は、ラッチ回路(1)20が1ライン分の入力表示データ84を取り込み終わるとイネーブル信号81を出力し、ラインクロック83により初期状態に戻る。このようにすることで、入力表示データ84をラッチ回路(1)へ取り込むデータ取り込み動作が可能となる。

【0026】次にデータ出力動作について説明する。ラッチ回路(2)30は、1ライン期間の入力表示データ84が全てラッチ回路(1)20に取り込まれた後にアクティブとなるラインクロック83のタイミングで、ラッチ回路(1)データ92を取り込む。ラッチ回路(2)30の出力は、デコード回路40へ出力される。

【0027】設定レジスタ70は、設定レジスタ設定データ86を設定レジスタ設定クロック87で設定した設定データ88を、アンプ回路50と、階調電圧生成回路60へ出力する。

【0028】階調電圧生成回路60は、設定データ88

に従って参照電圧85を基に階調電圧89を生成し、デコード回路40へ出力する。

【0029】デコード回路40は、階調電圧89を、ラッチ回路(2)データ93の各画素毎のデータに従って選択して、各画素毎の選択電圧94を出力する。

【0030】アンプ回路50は、選択電圧94をバッファリングし、液晶印加電圧95を出力する。このようにすることで、データ出力動作が可能となる。

【0031】次に、階調電圧生成回路60の構成を、64階調を生成する場合を例にとって、図2および図3を用いて詳細に説明する。図2は、階調電圧生成回路60の概略構成を示すブロック図であり、図3は、階調電圧生成回路60の可変抵抗61の構成を示す概略図である。階調電圧生成回路60は、可変抵抗61-1~64を直列に接続して構成され、可変抵抗8個毎に参照電圧85が入力される。第1の参照電圧85-1は可変抵抗61-1の一端に、第2の参照電圧85-2は可変抵抗61-8と可変抵抗61-9の接続点に、第9の参照電圧85-9は可変抵抗61-64の他端に供給される。各可変抵抗61は、設定データ88によって抵抗値が設定される。

【0032】可変抵抗61は、直列に接続された複数の固定抵抗62から構成され、各固定抵抗62にはそれぞれ並列に短絡用スイッチ63が接続される。短絡用スイッチ63は、設定データ88によって開閉され、可変抵抗61の値が変更される。

【0033】階調電圧生成回路60は、第1の参照電圧85-1と第2の参照電圧85-2間を可変抵抗61-1~61-8で分圧し、2レベルの参照電圧から8階調の階調電圧89を生成して、9レベルの参照電圧85から合計64レベルの階調電圧89を生成する。

【0034】図3に示すように可変抵抗61は、抵抗62と短絡用スイッチ63を並列に接続し(以下、スイッチ並列接続)、それを1組としてさらに複数組を直列に接続して構成する。短絡用スイッチ63はそれぞれ設定レジスタ70に接続され、設定データ88に従いオンあるいはオフする。スイッチ63がオフの場合、電流は並列に接続された抵抗62を流れ、電圧降下が起きる。また、スイッチ63がオンの場合、電流はスイッチ63を流れ、電圧降下は起きない。これらのスイッチ63のオンあるいはオフを制御することにより、可変抵抗61の抵抗値を設定レジスタ70で制御することが可能となり、従って2つの参照電圧から生成される8階調の階調電圧89は各可変抵抗値を変更して、すなわち分圧比を変更することで、電圧値を変更することが容易に行える。これはその他の参照電圧85より生成する電圧値についても同様である。

【0035】ここで液晶パネルの印加電圧と表示輝度の関係は図4に示すように、ノーマリーブラックモードの液晶パネルと、ノーマリーホワイトモードの液晶パネル

とで異なる。ノーマリーブラックモードの液晶パネルは、低い印加電圧では低輝度、高い印加電圧では高輝度となる。また、この特性は印加電圧の低い領域および高い領域で共に飽和するS字曲線で表される。ノーマリーホワイトモードの液晶パネルでは印加電圧と表示輝度の関係がノーマリーブラックモードのものと逆(対称)の特性を示す。本発明は液晶パネルのモードに関係なく実施できるが、以下では液晶パネルがノーマリーブラックモードであるとする。

【0036】次に、図3に示す可変抵抗61の抵抗62の各抵抗値を50Ωとしたときの例を説明する。2つの基準電圧の電位差が1Vであり、各分圧抵抗値が100Ωの設定になるように4つのスイッチ63の内2つがオンで2つがオフとなる状態を標準の設定であるとする。ここで低い階調間では輝度差が小さく、高い階調間では輝度差が大きいとき、低い階調間の抵抗値を大きくし、高い階調間の抵抗値を小さくする。例えば図2の可変抵抗61-8および61-7を200Ω、可変抵抗61-6および61-5を100Ω、61-4から61-1を50Ωとなるように再設定したとき、8階調の階調電圧89はそれぞれ図5に示すように値が変化し、低い階調では階調間電位差が大きくなり高い階調では電位差が小さくなり、すなわち低い階調では輝度差が上がり、高い階調では輝度差が下がる。このように抵抗分圧比を自由に変えることで階調表示特性を変更することが可能である。

【0037】図6を用いて、抵抗分圧比の設定の仕方によって得ることができる入力表示データ84と実際の表示輝度との関係を説明する。図6(a)は、階調表示が全体的に明るくなるような設定であり、自然画の表示に適している。設定は各抵抗分圧比を表示データの低いところでは比が高くなるように、表示データの高いところでは比が低くなるようにした。図6(b)は階調表示が全体的に暗くなるような設定であり、コンピュータグラフィックスやテキストの表示に適している。設定は各抵抗分圧比を表示データの低いところでは比が低くなるように、表示データの高いところでは比が高くなるようにした。図6(c)は入力表示データ84と実際の表示輝度との関係が線形となるような設定である。設定は各抵抗分圧比を図4に示したS字曲線の曲線付近における比を高くなるようにした。

【0038】上記の説明では、可変抵抗61は、スイッチを並列接続した抵抗62を複数個直列に接続して構成したが、可変抵抗61は、スイッチを直列に接続した抵抗62を複数個並列に接続して構成しても同様な効果を得ることができる。すなわち、抵抗に直列に接続されたスイッチをオンあるいはオフすることによって抵抗分圧比を変更することが可能である。また、可変抵抗61は、上記スイッチを並列に接続した抵抗62およびスイッチを直列に接続した抵抗62を複数個組み合わせで構

成しても良い。例えば、上記スイッチを並列に接続した抵抗62を直列に接続したものを1組として、複数組を並列に接続した場合でも同様な効果を得ることができる。すなわち、抵抗62に並列に接続したスイッチをオンあるいはオフすることで分圧抵抗比を変更することが可能である。

【0039】次に、可変抵抗値設定方法について説明する。図7に設定レジスタ70の内部構成を示す。図7において71-1~71-nはラッチである。図7に示すように、設定レジスタ70に設定レジスタ設定データ86および設定レジスタ設定クロック87が入力される。図3に示した可変抵抗61の場合、4ビットの設定データ88が必要であるため、レジスタのビット数は(可変抵抗61の数)×4ビットである。設定レジスタ71はシフトレジスタとなっており、各設定データ保持用のラッチ71-1から順に設定レジスタ設定データ86が設定レジスタ設定クロック87によりシフトされていく。

【0040】全ての設定レジスタ設定データ86と設定レジスタ設定クロック87を入力すると設定が完了する。この設定期間中は階調電圧が不安定であるため、設定は電源投入後表示が開始される前に終了し、階調電圧が十分に安定してから表示が開始されることが望ましい。このように設定レジスタ設定データ86と設定レジスタ設定クロック87を使用することで各可変抵抗値を設定することが可能である。

【0041】本発明の液晶駆動回路はさらに、階調電圧94をデコード回路40で選択した選択電圧95のオフセット調節および増幅度調節を行い、さらに入力表示データ84に対する液晶印加電圧95の微調整を行う。

【0042】図8を用いて、出力電圧オフセット調節および増幅度調節について説明する。図8はアンプ回路50の1出力分の内部ブロック図である。アンプ回路50は、抵抗Ra51と、抵抗Rb52と、抵抗Rc53と、抵抗Rf54と、演算増幅器55とを有している。抵抗Ra51は、直列に接続された複数の抵抗511と、複数のスイッチ512とを有している。抵抗Rf54は、直列に接続された複数の抵抗541と、複数のスイッチ542とを有している。

【0043】演算増幅器55の正入力(+)には、抵抗Rb52を介してデコード回路40の出力94と、抵抗Rc53を介してオフセット信号90が入力される。演算増幅器55の負入力端子(-)には演算増幅器55の出力を抵抗Rf54と抵抗Ra51で分圧した電圧が入力される。抵抗Ra51と抵抗Rf54のスイッチ512、542は、設定データ88によって選択的に閉成され、所望の抵抗値を採ることができる。

【0044】図9に、オフセット調節を行ったときの階調対電圧特性を、図10に、増幅度調節を行ったときの階調対電圧特性をそれぞれ示す。

【0045】まず、オフセット調節について説明する。

図9に示すようにオフセット調節では各階調電圧を一定の電圧分高くあるいは低く設定することによって、表示の輝度を上げるあるいは下げる。このように、階調対電圧特性のオフセット量を調節することによって、表示画像の明るさを調節することができる。

【0046】次に、増幅度調節について説明する。図10に示すように増幅度調節では、階調電圧を一定の割合分高くあるいは低くすることによって、表示の輝度を上げるあるいは下げる。このように、階調対電圧特性の増幅度を調節することによって、表示画像のコントラスト

【0047】図8は、図9に示したオフセット調節および図10に示した増幅度調節を実現する回路である。この場合、アンプ回路50の出力電圧 V_{out} は、下記(1)式に示される。

【0048】

【数1】

$$V_{out} = (1 + \frac{R_f}{R_a}) \frac{R_c}{R_b + R_c} (V_{in} - V_{of}) \dots (1)$$

【0049】オフセット調節を実現するために、図8に示すようにアンプ回路50の演算増幅器55の正入力端子(+)に、選択電圧94(ここでは V_{in} とする)とオフセット電圧90(ここでは V_{of} とする)を抵抗 R_b 52と抵抗 R_c 53で分圧した電圧を入力する。このとき正入力端子電圧は、 $(V_{in} - V_{of}) \times R_c / (R_b + R_c)$ となり、例えば可変抵抗 R_a 51と可変抵抗 R_f 54の抵抗値の比を1とすると、演算増幅器55のゲインは2となり、アンプ回路50の出力電圧 V_{out} 、すなわち液晶印加電圧95は正入力端子電圧の2倍と等しくなる。ここで、 $R_2 = R_3$ として、正入力端子電圧を $(V_x - V_{of}) / 2$ とし、これを2倍して $V_{out} = (V_x - V_{of})$ を得る。すなわち、出力電圧 V_{out} は、オフセット電圧 V_{of} 90により値が一様にシフトする。このようにして、アンプ回路50の出力電圧 V_{out} のオフセット量を調節することが可能となる。

【0050】演算増幅器55の増幅度を決定する可変抵抗 R_a 51および可変抵抗 R_f 54は、それぞれ図示のように、複数の抵抗511と複数のスイッチ512、複数の抵抗541と複数のスイッチ542を組み合わせ、スイッチのオンおよびオフにより抵抗値を変化させる。演算増幅器55の増幅度は、 $(1 + R_a / R_f)$ となる。この場合、増幅度の設定方法は設定データ88により、スイッチ512、スイッチ542のオンおよびオフを設定することで実現する。

【0051】図8の場合、抵抗値を設定するスイッチ512、スイッチ542はそれぞれ4個ずつ設けられ、それぞれのスイッチ512、スイッチ542に対して設定データ88の1ビットが割り当てられ、可変抵抗 R_a 51の内1つのスイッチ512をオンし、さらに可変抵抗 R_f 54の内1つのスイッチ542をオンする。オンす

るスイッチによって抵抗値が変化し、従って増幅度が変化する。ここで設定データ88は、各出力毎に個別に持つことで各出力毎に調節可能であるが、全ての出力で一律に増幅するならば設定データ88は共通でも良い。このようにしてアンプ回路50の増幅度の設定が可能となる。

【0052】上記の例では、可変抵抗 R_a 51と可変抵抗 R_f 54の抵抗値を設定データ88により変更したが、演算増幅器55の正入力端子の分圧抵抗として働く抵抗 R_b 52および抵抗 R_c 53を、可変抵抗 R_a 51と可変抵抗 R_f 54と同様に、複数の抵抗と複数のスイッチで構成し、設定データ88により抵抗値を変更することもできる。また、これらの抵抗の内の1つあるいは複数を設定可能としても良い。いずれの場合も、前記(1)式に従って出力電圧 V_{out} を決定することができる。このようにして、液晶印加電圧 V_{out} 95をオフセット電圧 V_{of} 90および設定データ88で制御して階調表示特性を変更することが可能となる。

【0053】上記の例では、設定レジスタ70は、設定レジスタ設定クロック87と、設定レジスタ設定データ86を用いて設定したが、入力表示データ84およびラッチ信号91を用いて入力して設定しても良い。この方法については第4の実施の形態で説明する。

【0054】以上の機能により、本実施の形態の液晶駆動回路1では、ユーザーの好みや、表示画像の種類(自然画、コンピュータグラフィックス、テキスト等)、デバイス固有の特性等に対応して階調表示特性を変更することができる。

【0055】(第2の実施の形態)本発明にかかる液晶駆動回路の第2の実施の形態を図11を用いて説明する。図11は、本発明の第2の実施の形態である液晶駆動回路1のアンプ回路50の内部ブロック図を示す。この実施の形態は、アンプ回路50の増幅度をR、G、Bの単位で個別に設定できるようにした点に特徴を有している。この図は、図8に示した実施の形態と同様にアンプ回路50の1出力分の構成を示すブロック図である。図11において、数字にrが付くものはR用の構成要素、数字にgが付くものはG用の構成要素、数字にbが付くものはB用の構成要素を示している。とくに、90rはR用オフセット電圧 V_{ofr} 、90gはG用オフセット電圧 V_{ofg} 、90bはB用オフセット電圧 V_{ofb} である。

【0056】次に、本実施の形態の液晶駆動回路のアンプ回路の動作について、図11を用いて説明する。本実施の形態の液晶駆動回路は、RGBカラーフィルタを用いた液晶パネルに適用するとき効果がある。すなわちR、G、Bの各色で個別に階調表示特性を微調整にすることが可能である。まずオフセット調節について説明する。オフセット電圧90は、各色毎に V_{ofr} 90r、 V_{ofg} 90g、 V_{ofb} 90bとを有している。 V_{ofr} 90rはR用のオフセット電圧であり、R用のオフセット調節に用い

る。Vofg90qはG用のオフセット電圧であり、G用のオフセット調節に用いる。Vofb90bはB用のオフセット電圧であり、B用のオフセット調節に用いる。これらのオフセット電圧90r、90q、90bをそれぞれ調整し、前記(1)式に示す式のVofにVofr、Vofq、Vofbをそれぞれ与えて各色のVoutを決定する。したがって各色単位でオフセット量を調節することが可能である。

【0057】ここで図11に示す各色のオフセット電圧90r、90q、90bは直接外部ピンから供給する。次に増幅度調節について説明する。各色の増幅度調節は、第1の実施の形態に示したように、各色毎の増幅度を決定する可変抵抗Ra51、抵抗Rb52、抵抗Rc53、可変抵抗Rf54の内の1つあるいは複数を図8で示したような複数の抵抗と複数のスイッチで構成し、設定データ88r、88q、88bによりスイッチをオンあるいはオフして各々の抵抗値を変更する。設定データ88は各色毎に個別に存在し、それぞれの色の抵抗値すなわち増幅度を設定する。

【0058】このように本実施の形態の液晶駆動回路1は、RGB各色毎にオフセット量を調節し、および増幅度を調節することが可能である。上記した第1の実施の形態および第2の実施の形態ではオフセット電圧Vofを外部のピンから直接供給していたが、オフセット電圧Vofの供給方法はこれに限定されるものではなく、第3の実施の形態に示す方法で供給することも可能である。

【0059】(第3の実施の形態)本発明にかかる液晶駆動回路1の第3の実施の形態を図12を用いて説明する。この実施の形態はオフセット電圧供給方法およびオフセット電圧供給回路に特徴を有している。この実施の形態は、第1の実施の形態および第2の実施の形態に示した外部から直接供給するオフセット電圧Vof90と置き代わるものである。図12は、本実施の形態のオフセット電圧供給方法およびオフセット電圧供給回路の1出力分の構成を示すブロック図である。アンプ回路50は、図8に示した回路に比較して、直列に接続された複数の可変抵抗561からなるオフセット電圧供給回路86を付加した点が異なっている。このオフセット電圧供給回路50は、外部からのオフセット電圧Vof90を設定データ88に基づいて供給回路生成オフセット電圧Vof'90'を形成する。

【0060】まず外部からオフセット電圧Vof90をオフセット電圧供給回路86に入力する。オフセット電圧供給回路86ではオフセット電圧Vof90とグランド間を複数の可変抵抗561で抵抗分割する。抵抗分割で得られた電圧は供給回路生成オフセット電圧Vof'90'として出力し、各オペアンプ55に供給する。このとき、供給する電圧値(Vof')を制御するのは設定データ88であり、スイッチをオンあるいはオフして可変抵抗561の抵抗値を設定する。

【0061】このように、本実施の形態によれば、入力

するオフセット電圧Vof90の電圧値を固定した値とし、設定データ88によって電圧値を生成して容易にオフセット電圧を変更して供給することができる。また、R、G、Bの各色に供給回路生成オフセット電圧Vof'90'を供給する場合は、各色毎に設定データ88とオフセット電圧供給回路86を個別に持てばよい。したがって、各色毎に設定レジスタ値を設定することで各色毎にオフセット電圧を供給することが可能となる。

【0062】(第4の実施の形態)本発明にかかる液晶駆動回路の第4の実施の形態4を図13を用いて説明する。この実施の形態は、設定レジスタ70設定方法および設定レジスタ設定回路に特徴を有しており、第1の実施の形態および第2の実施の形態に示した設定レジスタ設定方法と代わるものである。図13は、本実施の形態にかかる液晶駆動回路の設定レジスタの構成を示すブロック図である。この実施の形態では、図7に示した設定レジスタ70に比較して、ラッチ71に入力される、設定レジスタ設定データ86に代えて設定値データ84を、設定レジスタ設定クロック87に代えてラッチアドレス制御回路10の出力91を用いた点が異なっている。

【0063】設定レジスタ70は、図7に示した設定レジスタ70と同様に、複数のラッチ70-1~70-nから構成されている。設定レジスタ70のデータ端子Dには入力表示データ84が入力される。設定レジスタ70のリセット端子には、ラッチアドレス制御回路10からのラッチ信号91をラッチANDゲート15を介してラッチ信号97が供給される。ラッチANDゲート15には、ラッチアドレス10からのラッチ信号91と、設定イネーブル信号96が入力され、設定クロック97を出力する。ラッチアドレス制御回路10は、第1の実施の形態と同様に、イネーブル信号81と、表示データクロック82と、ラインクロック83が入力される。

【0064】この実施の形態の設定データ取り込み動作について説明する。図1で示したように、ラッチアドレス制御回路10は入力するイネーブル信号81がアクティブになると表示データを取り込むラッチ回路(1)20にラッチ信号91を出力する。ここで図11に示すように入力表示データ84には表示データに代わって設定値データ84を入力し、ラッチ信号91をラッチAND15を介して設定レジスタ70に対して出力する。ラッチ信号91は、表示データクロック83に従って順次シフトし、ラッチAND15に入力される設定イネーブル信号96がアクティブであるとき(この場合ハイレベルであるとき)、設定クロック97がアクティブとなる。したがって、設定レジスタ70の各ビットにはラッチ信号91に従って表示データ84上の設定値データが取り込まれる。この実施の形態の液晶駆動回路における設定値データを全て取り込むと、ラッチアドレス制御回路10はイネーブル信号81を出力し、ラインクロック83

が入力されると初期状態に戻る。

【0065】この実施の形態によれば、設定レジスタ70の設定レジスタ設定データ86の入力用のピンを節減することができる。

【0066】図14を用いて、本発明にかかる液晶駆動回路を複数用いた液晶表示装置の構成を説明する。液晶表示装置は、初段の液晶駆動回路1-1と、次段の液晶駆動回路1-2と、走査ドライバ2と、表示制御回路3と、参照電圧生成回路4と、液晶パネル5を有している。表示制御回路3には、表示制御信号98-1と、表示データ98-2と、ガンマ補正データ98-3が入力され、走査ドライバ2へ走査ドライバ制御信号98-4を出力する。走査ドライバ2は、走査信号99を液晶表示装置(LCD)パネル5へ出力する。表示制御回路3は、イネーブル信号81と、表示データクロック82と、ラインクロック83と、入力表示データ84と、設定イネーブル信号96を液晶駆動回路1へ出力する。

【0067】まず、表示制御回路3は、ガンマ補正データ98-3から設定レジスタ設定データを生成して表示データ84に代わって出力し(以下、84は設定レジスタ設定データである)、設定イネーブル信号96をアクティブにし、イネーブル信号81を初段の液晶駆動回路1-1に出力する。イネーブル信号81が入力されると、初段の液晶駆動回路1-1は、表示データクロック83に従って設定レジスタ設定データ84を取り込み始める。本発明の液晶駆動回路1が複数個で表示を行う液晶表示装置の場合、初段の液晶駆動回路1-1の出力するイネーブル信号81は次段の液晶駆動回路1-2のイネーブル信号81に接続され、次段の液晶駆動回路1-2が設定値データを取り込み始める。

【0068】このように液晶駆動回路が複数個ある場合にはイネーブル信号81で次の液晶駆動回路が取り込みを開始するため、初段の液晶駆動回路のイネーブル入力信号81をアクティブにして取り込みを開始すれば、各液晶駆動回路に設定レジスタ設定データ84と表示データクロック83を与えて設定することができる。

【0069】設定が完了すると、液晶駆動回路1-1および1-2は参照電圧生成回路4の生成する参照電圧85から階調電圧を生成し、制御回路3は表示制御信号98-1および表示データ98-2から液晶駆動回路1-1および1-2に表示のための各種制御信号81~83と入力表示データ84(以下84は入力表示データである)を生成し、液晶駆動回路1-1および液晶駆動回路1-2は入力表示データ84を取り込み、液晶印加電圧95を生成する。

【0070】また、制御回路3は、走査ドライバ制御信号98-4を生成し、走査ドライバ2は、走査ドライバ制御信号98-4に従って走査信号99を出力し、走査を始める。このように液晶パネル5に階調表示特性を変更可能にして表示を行う。

【0071】本発明は、以上に示した実施の形態に限定されるものではなく、その主旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第3の実施の形態に示したオフセット電圧供給方法およびオフセット電圧供給回路は、第1の実施の形態および第2の実施の形態におけるオフセット電圧供給方法およびオフセット電圧供給回路に代えて使用することも可能である。

【0072】また、以上に示した実施の形態では液晶印加電圧値を調整するものとして、階調電圧生成回路の分圧抵抗比を調節し、また、アンプ回路のオフセット電圧を調整し、さらにまた増幅度を調節する方法および回路を示したが、回路規模削減の観点などからこれらの方法および回路の内から少なくとも1つを選んで搭載して調整することも可能である。

【0073】

【発明の効果】本願において開示される発明によって得られる効果を簡単に説明すれば、以下のとおりである。すなわち、液晶表示装置に適用して、ユーザーの好みや、表示画像の種類(自然画、コンピュータグラフィックス、テキスト等)、デバイス固有の特性等に対応して階調表示特性を変更することができる。

【図面の簡単な説明】

【図1】本発明にかかる液晶駆動回路の第1の実施の形態の概略構成を示すブロック図。

【図2】図1に示した液晶駆動回路の階調電圧生成回路の内部構成を示すブロック図。

【図3】図2に示した液晶駆動回路の階調電圧生成回路の可変抵抗の概略構成を示す図。

【図4】液晶パネルの印加電圧と輝度の関係を示す図。

【図5】図1に示した液晶駆動回路の階調電圧生成回路の生成する階調電圧を示す図。

【図6】図1に示した液晶駆動回路の設定データを変更したときの入力表示データと輝度の関係の変化を示す図。

【図7】図1に示した液晶駆動回路の設定レジスタの概略構成を示す図。

【図8】図1に示した液晶駆動回路のアンプ回路の1出力分の概略構成を示す図。

【図9】図1に示した液晶駆動回路のオフセット調整の階調対電圧特性を示す図。

【図10】図1に示した液晶駆動回路の増幅度調整の階調対電圧特性を示す図。

【図11】本発明にかかる液晶駆動回路の第2の実施の形態におけるアンプ回路の概略構成を示す図。

【図12】本発明にかかる液晶駆動回路の第3の実施の形態におけるアンプ回路の概略構成を示す図。

【図13】本発明にかかる液晶駆動回路の第4の実施の形態にかかる設定レジスタの概略構成を示す図。

【図14】本発明の第4の実施の形態にかかる液晶駆動

回路を用いた液晶表示装置の構成を示すブロック図。

【符号の説明】

10 ラッチアドレス制御回路

20 ラッチ回路(1)

30 ラッチ回路(2)

40 デコード回路

50 アンプ回路

60 階調電圧生成回路

70 設定レジスタ

81 イネーブル信号

82 表示データクロック

83 ラインクロック

84 入力表示データ

85 参照電圧

86 設定レジスタ設定データ

87 設定レジスタ設定クロック

* 88 設定データ

89 階調電圧

90 オフセット電圧

91 ラッチ信号

92 ラッチ回路(1)データ

93 ラッチ回路(2)データ

94 選択電圧

95 液晶印加電圧

96 設定イネーブル信号

10 97 設定クロック

98-1 表示制御信号

98-2 表示データ

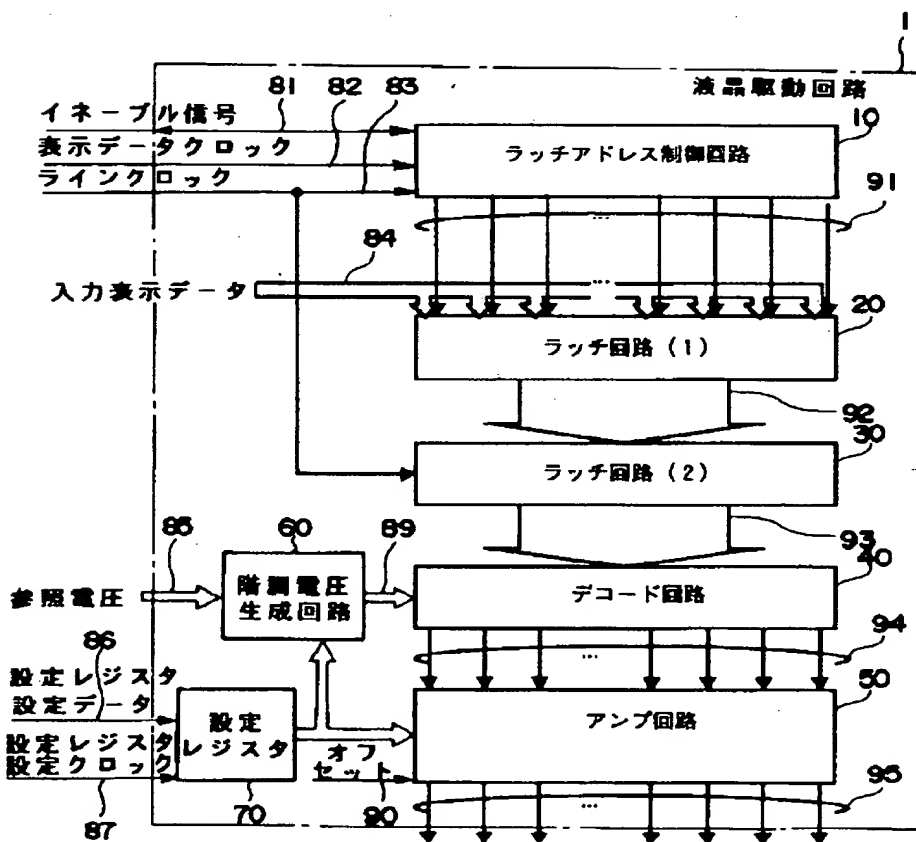
98-3 ガンマ補正データ

98-4 走査ドライバ制御信号

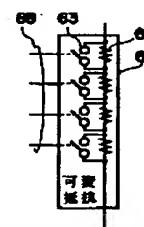
99 走査信号

*

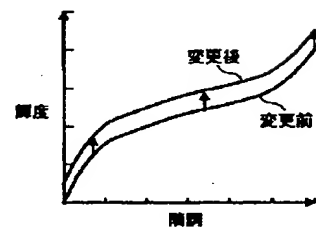
【図1】



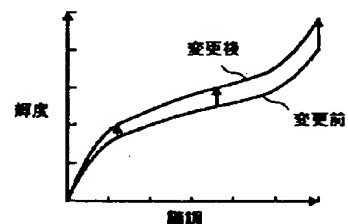
【図3】



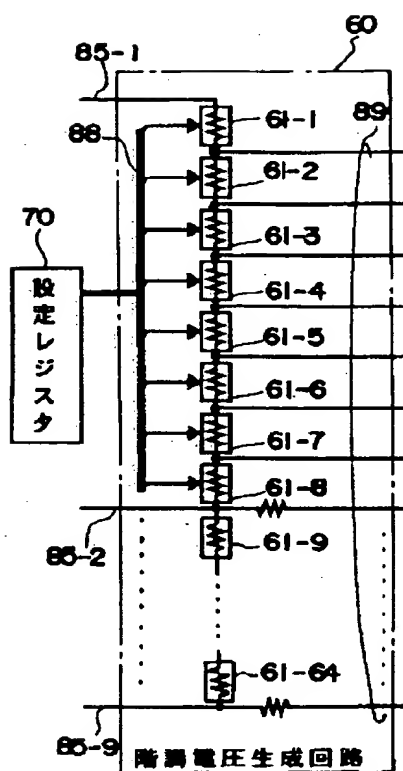
【図9】



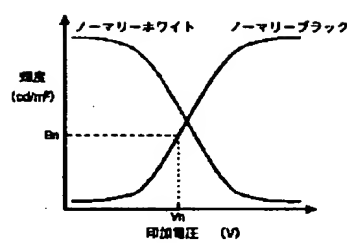
【図10】



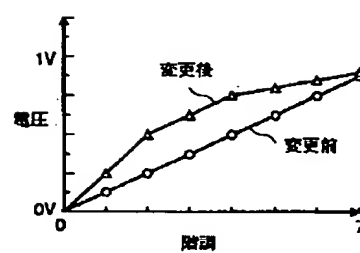
【図2】



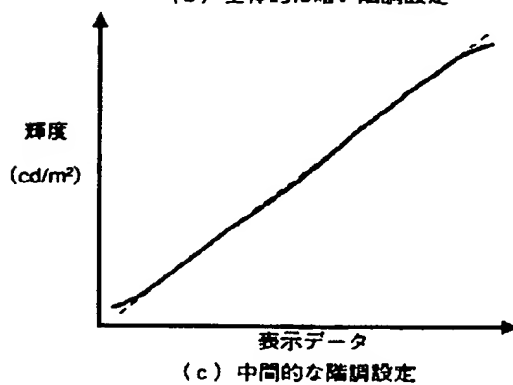
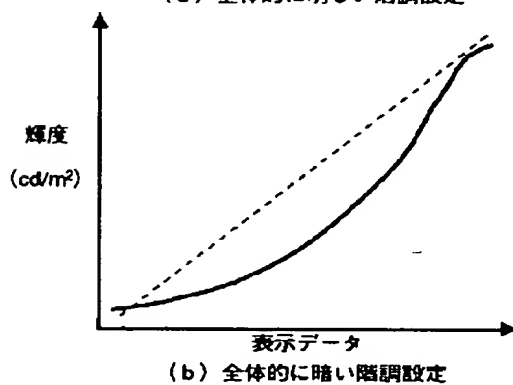
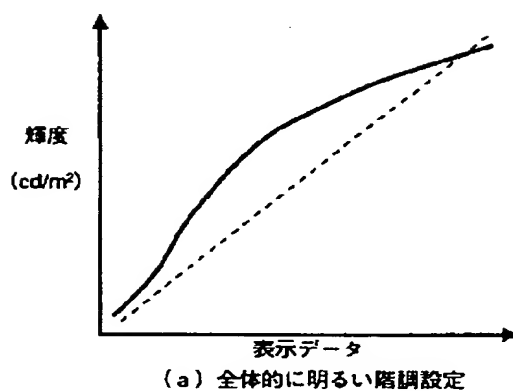
【図4】



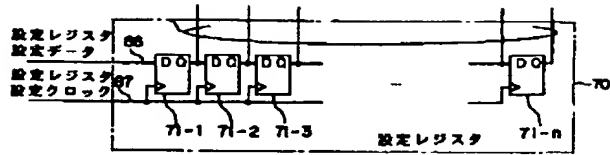
【図5】



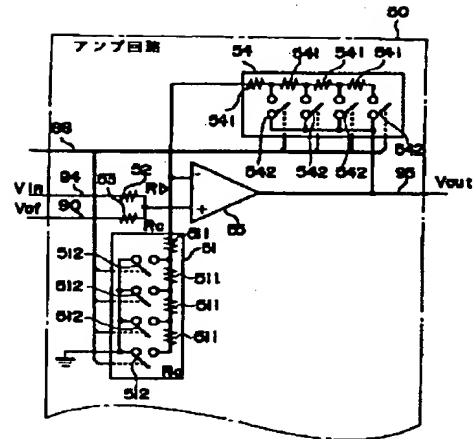
【図6】



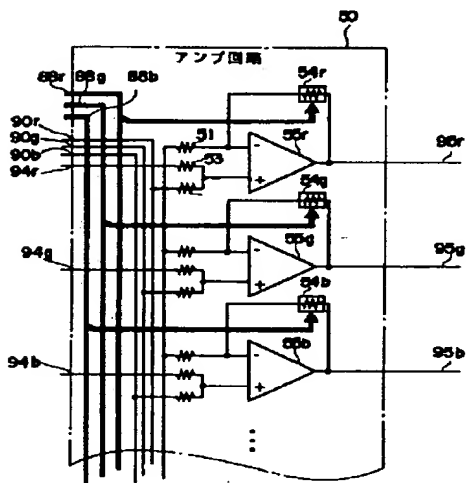
【図7】



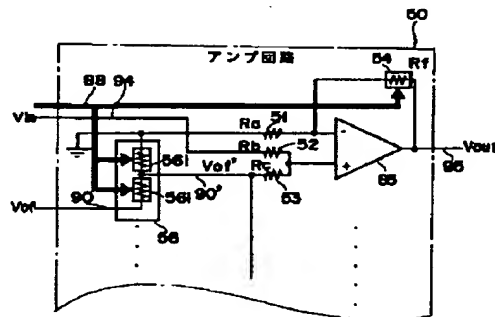
【図8】



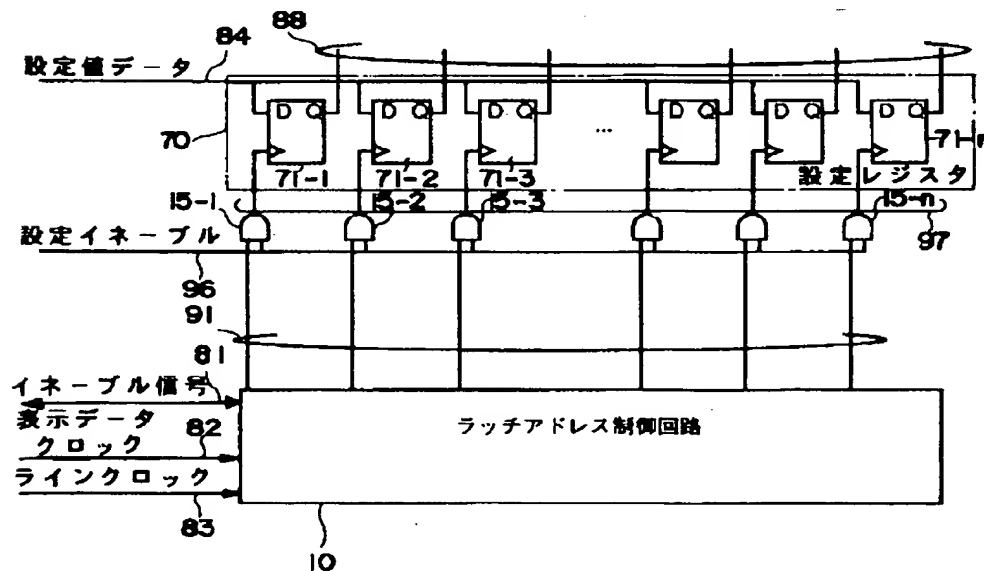
【図11】



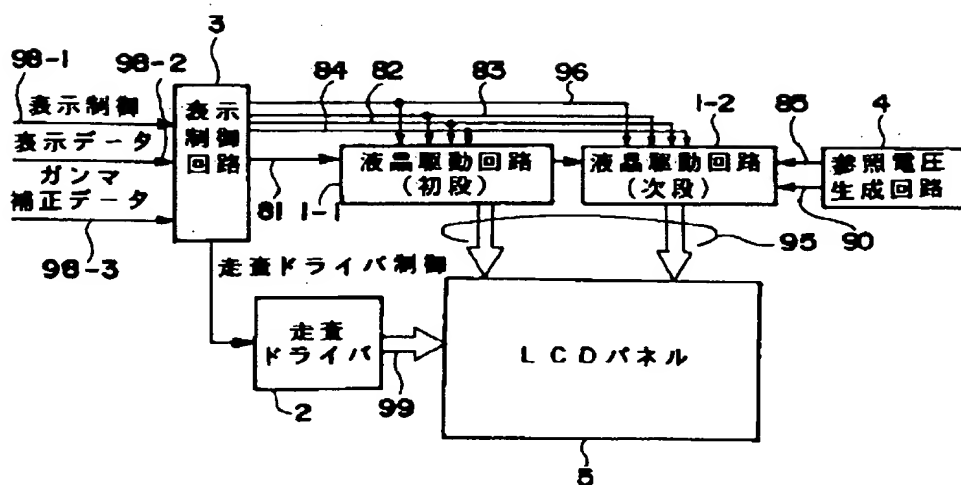
【図12】



【図13】



〔図14〕



フロントページの続き

(72)発明者 古橋 勉
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 恒川 悟
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 栗原 博司
千葉県茂原市早野3300番地 株式会社日立製作所電子デバイス事業部内